

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-291511
(43)Date of publication of application : 18.10.1994

(51)Int.Cl. H01P 1/205
H01P 1/203
H01P 7/08

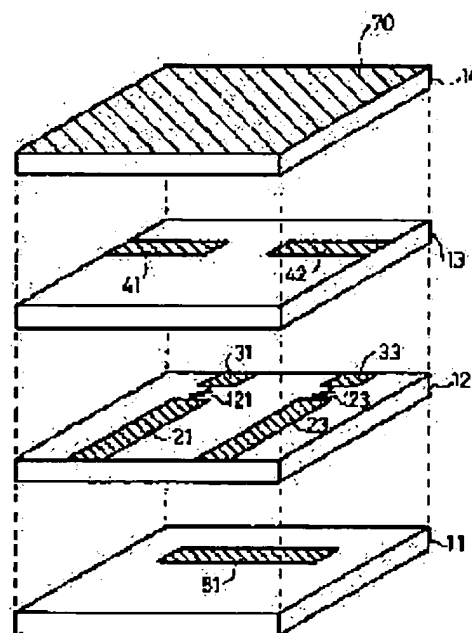
(21)Application number : 05-073640 (71)Applicant : NGK INSULATORS LTD
(22)Date of filing : 31.03.1993 (72)Inventor : HIRAI TAKAMI
SUGIURA TATSUMI
YANO SHINSUKE

(54) LAMINATION TYPE DIELECTRIC FILTER

(57)Abstract:

PURPOSE: To provide the lamination type dielectric filter which improves an attenuation characteristic by forming an attenuation peak, and also, scarcely generates a variance in a frequency of the attenuation peak, and moreover, facilitates its miniaturization.

CONSTITUTION: An electrode 81 superposed on a part of resonance elements 21, 23 is formed on a dielectric layer 11. The resonance elements 21, 23 in which one end part is connected to a ground electrode 70, and which constitute a 1/4 wavelength type strip line resonator, and electrodes 31, 33 in which one end part is connected to the ground electrode 70, and also, the other end part is opposed to opening ends of the resonance elements 21, 23 are formed on a dielectric layer 12. An input electrode 41 superposed on a part of the resonance element 21, and also, superposed on a part of an electrode 81, and an output electrode 42 superposed on a part of the resonance element 23, and also, superposed on a part of the electrode 81 are formed on a dielectric layer 13.



LEGAL STATUS

[Date of request for examination] 04.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3115149

[Date of registration] 29.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-291511

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	1/205	K		
		B		
	1/203			
	7/08			

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21)出願番号 特願平5-73640

(22)出願日 平成5年(1993)3月31日

(71)出願人 000004064

日本碍子株式会社

愛知県名古屋市長区瑞穂区須田町2番56号

(72)発明者 平井 隆己

愛知県西加茂郡三好町大字三好東山37番地の18

(72)発明者 杉浦 達美

愛知県名古屋市長区表山三丁目150番地
(日本ガイシ八事寮)

(72)発明者 矢野 信介

愛知県名古屋市長区鳴海町字姥子山22の1
番地(鳴海団地89号棟301号)

(74)代理人 弁理士 千葉 剛宏 (外1名)

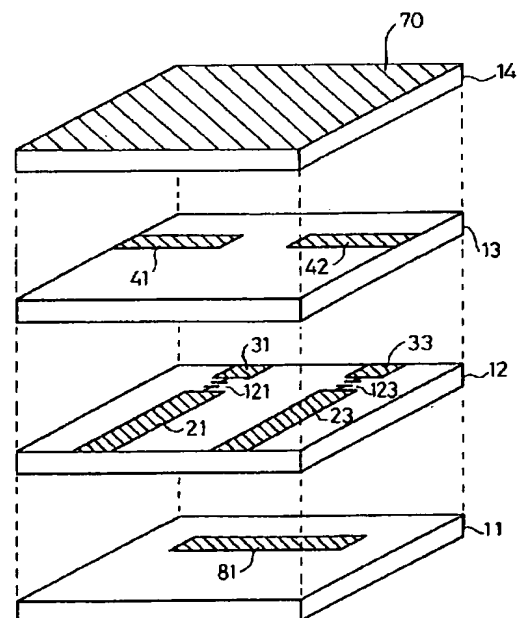
(54)【発明の名称】 積層型誘電体フィルタ

(57)【要約】

【目的】減衰ピークを形成して減衰特性を改善させ、しかも減衰ピークの周波数にばらつきが少なく、かつ小型化が容易な積層型誘電体フィルタを提供する。

【構成】共振素子21、23の一部に重なる電極81を誘電体層11上に形成する。一端部がアース電極70に接続され、1/4波長型ストリップライン共振器を構成する共振素子21、23、および一端部がアース電極70に接続され、かつ他端部が共振素子21、23の開放端と対向する電極31、33を誘電体層12上に形成する。共振素子21の一部に重なりと共に電極81の一部に重なる入力用電極41と、共振素子23の一部に重なりと共に、電極81の一部に重なる出力用電極42とを、誘電体層13上に形成する。

FIG.1



【特許請求の範囲】

【請求項1】誘電体層中に設けられ、第1の主面と前記第1の主面とは反対側の第2の主面とを有する第1の共振素子と、

前記誘電体層中に設けられ、第1の主面と前記第1の主面とは反対側の第2の主面とを有する第2の共振素子と、

前記第1の共振素子の前記第1の主面の一部および前記第2の共振素子の前記第1の主面の一部に対向して前記誘電体層中に設けられた第1の電極と、

前記第1の共振素子の前記第2の主面の一部および前記第1の電極の一部に対向して前記誘電体層中に設けられた第2の電極と、

を有することを特徴とする積層型誘電体フィルタ。

【請求項2】請求項1記載の積層型誘電体フィルタにおいて、前記第2の共振素子の前記第2の主面の一部および前記第1の電極の一部に対向して前記誘電体層中に設けられた第3の電極をさらに有することを特徴とする積層型誘電体フィルタ。

【請求項3】請求項2記載の積層型誘電体フィルタにおいて、前記第2の共振素子に対して前記第1の共振素子とは反対側の前記誘電体層に設けられ、第1の主面と第2の主面とを有する第3の共振素子をさらに有し、前記第3の電極がさらに前記第3の共振素子の前記第2の主面の一部にも対向していることを特徴とする積層型誘電体フィルタ。

【請求項4】請求項3記載の積層型誘電体フィルタにおいて、前記第3の共振素子の前記第1の主面の一部および前記第3の電極の一部に対向して前記誘電体層中に設けられた第4の電極をさらに有することを特徴とする積層型誘電体フィルタ。

【請求項5】請求項1乃至4のいずれかに記載の積層型誘電体フィルタにおいて、前記第2の電極が入力用電極および出力用電極の一方であることを特徴とする積層型誘電体フィルタ。

【請求項6】請求項1または2記載の積層型誘電体フィルタにおいて、前記第2の電極が入力用電極および出力用電極の一方であり、前記第3の電極が入力用電極および出力用電極の他方であることを特徴とする積層型誘電体フィルタ。

【請求項7】請求項3または4記載の積層型誘電体フィルタにおいて、前記第2の電極が入力用電極および出力用電極の一方であり、前記第4の電極が入力用電極および出力用電極の他方であることを特徴とする積層型誘電体フィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は積層型誘電体フィルタに関し、特に携帯用電話機等の高周波回路無線機器に利用する高周波回路フィルタや、アンテナデュプレクサ等に

使用される積層型誘電体フィルタに関する。

【0002】

【従来の技術および発明が解決しようとする課題】図18、19は、それぞれ本発明者らが案出した積層型誘電体フィルタの模式展開図および斜視図である。この積層型誘電体フィルタにおいては、図18に示すように、まず、誘電体層12上に一端部がアース電極70に接続される1/4波長型ストリップライン共振器からなる共振素子21~23を所定間隔で形成し、さらに、一端部がアース電極70に接続されかつ他端部が共振素子21~23の開放端から所定の間隔離れて共振素子21~23とそれぞれ対向する電極31~33を、誘電体層12上に形成して共振素子21~23各々の間を誘導結合させ、誘電体層13上に、誘電体層13を挟んで入力端側の共振素子21の一部に重なる入力用電極41および誘電体層13を挟んで出力端側の共振素子23の一部に重なる出力用電極42を形成し、誘電体層13上に誘電体層14を積層し、誘電体層12乃至14を一体に構成して積層体500を形成する。

【0003】次に、図19に示すように、積層体500の上面、下面および入力端子部61と出力端子部62を除いた側面にアース電極70を形成し、積層体500の一方の側面の入力端子部61内に、アース電極70から絶縁され、かつ入力用電極41に接続される入力端子51を形成し、さらに同様に、積層体500の他方の側面の出力端子部62内に、アース電極70から絶縁され、かつ出力用電極42に接続される出力端子52を形成する。

【0004】図18、19に示した積層型誘電体フィルタの電気的な等価回路は図20に示す如くである。図20において符号451は共振素子21と入力用電極41間の静電容量であり、符号452は共振素子23と出力用電極42間の静電容量であり、符号121~123はそれぞれ共振素子21と電極31間の静電容量、共振素子22と電極32間の静電容量、共振素子23と電極33間の静電容量であり、符号312は共振素子21と共振素子22との間の誘導結合を示すインダクタンスであり、符号313は共振素子22と共振素子23との間の誘導結合を示すインダクタンスであって、バンドパスフィルタを構成している。なお、並列共振回路の静電容量211、221、231およびインダクタンス212、222、232は、共振素子21、22、23をそれぞれ等価変換したときの静電容量およびインダクタンスである。

【0005】このような積層型誘電体フィルタにおいては、共振素子21~23各々の間の分布結合によって、帯域幅等の希望する周波数特性を有するバンドパスフィルタを得るようにしているが、このような構成では隣り合う共振素子21~23間の結合しかないので、減衰ピークを形成して減衰特性を改善することはできなかった

3

た。減衰特性を改善するために、共振素子数を増加させる方法を探ることも考えられるが、共振素子数を増加させた場合は挿入損失が増加してしまうという問題点がある。

【0006】そこで、周波数特性に減衰ピークを形成するために、隣り合う共振素子間以外に、共振素子を飛び越した結合を設けることが探索されている。例えば、特開昭64-78001号公報に示されているように、隔たった共振素子を結合させることによって帯域の高域側、または低域側に減衰ピークを形成することが提案されている。

【0007】しかしながら、このような方法によるときは共振素子の他に、共振素子間に結合のためのコイルや、隔たった共振素子を結合させるための容量素子などを必要とし、製作に手数がかかる、減衰ピークの周波数にばらつきが多い、という問題点に加えて、部品点数が増加して小型化が困難となるという問題点もあった。

【0008】従って、本発明の目的は、減衰ピークを形成して減衰特性を改善させ、しかも減衰ピークの周波数にばらつきが少なく、かつ小型化が容易な積層型誘電体フィルタを提供することにある。

【0009】

【課題を解決するための手段】本発明によれば、誘電体層中に設けられ、第1の主面と前記第1の主面とは反対側の第2の主面とを有する第1の共振素子と、前記誘電体層中に設けられ、第1の主面と前記第1の主面とは反対側の第2の主面とを有する第2の共振素子と、前記第1の共振素子の前記第1の主面の一部および前記第2の共振素子の前記第1の主面の一部に対向して前記誘電体層中に設けられた第1の電極と、前記第1の共振素子の前記第2の主面の一部および前記第1の電極の一部に対向して前記誘電体層中に設けられた第2の電極と、を有することを特徴とする積層型誘電体フィルタが得られる。

【0010】本発明の積層型誘電体フィルタは、前記第2の共振素子の前記第2の主面の一部および前記第1の電極の一部に対向して前記誘電体層中に設けられた第3の電極をさらに有することができる。

【0011】また、本発明の積層型誘電体フィルタを、前記第2の共振素子に対して前記第1の共振素子とは反対側の前記誘電体層に設けられ、第1の主面と第2の主面とを有する第3の共振素子をさらに有し、前記第3の電極がさらに前記第3の共振素子の前記第2の主面の一部にも対向している構成とすることができる。

【0012】さらに、また、本発明の積層型誘電体フィルタを、前記第3の共振素子の前記第1の主面の一部および前記第3の電極の一部に対向して前記誘電体層中に設けられた第4の電極をさらに有する構成とすることができる。

【0013】上記構成の積層型誘電体フィルタにおいて

4

は、前記第2の電極を入力用電極および出力用電極の一方とすることができ、共振素子が第1および第2の共振素子の2個からなる場合には、前記第3の電極を入力用電極および出力用電極の他方とすることができ、共振素子が第1乃至第3の共振素子の3個からなる場合には、前記第4の電極を入力用電極および出力用電極の他方とすることができる。

【0014】

【作用】第1の共振素子の第1の主面の一部および第2の共振素子の第1の主面の一部に共に対向する第1の電極を設け、第1の共振素子の第1の主面とは反対側の第2の主面の一部および第1の電極の一部に対向する第2の電極を設けることにより、第1の共振素子と第1の電極との間、第1の共振素子と第2の電極との間、第2の共振素子と第1の電極との間にそれぞれ容量が形成されるのみならず、第1の電極と第2の電極との間にも容量が形成される。そして、この第1の電極と第2の電極との間に形成される容量は、第1の共振素子を飛び越して、第1の共振素子の前段と後段とを結合する飛越し容量となるから、積層型誘電体フィルタによって構成されるバンドパスフィルタの通過帯域の低周波側に減衰ピークを生じさせる。

【0015】また、第2の共振素子の第2の主面の一部および第1の電極の一部に共に対向する第3の電極をさらに設けることにより、第2の電極と第3の電極との間に容量が形成され、この容量は、第2の共振素子を飛び越して、第2の共振素子の前段と後段とを結合する飛越し容量となるから、やはり、積層型誘電体フィルタによって構成されるバンドパスフィルタの通過帯域の低周波側に減衰ピークを生じさせる。

【0016】さらに、また、第2の共振素子に対して第1の共振素子とは反対側に第3の共振素子をさらに設け、第3の共振素子の第1の主面の一部および第3の電極の一部に共に対向する第4の電極をさらに設けることにより、第3の電極と第4の電極との間に容量が形成され、この容量は、第3の共振素子を飛び越して、第3の共振素子の前段と後段とを結合する飛越し容量となるから、やはり、積層型誘電体フィルタによって構成されるバンドパスフィルタの通過帯域の低周波側に減衰ピークを生じさせる。

【0017】本発明においては、第1乃至第3の共振素子と第1乃至第4の電極との間の容量や、第1乃至第3の共振素子の飛越し容量は、誘電体層と第1乃至第3の共振素子および第1乃至第4の電極によって形成されるから、これらの容量を形成するために別途部品を必要としない。従って、製作に余計な手数がかかることもなく、部品点数が増加して小型化が困難となることもない。

【0018】また、このように、第1乃至第3の共振素子と第1乃至第4の電極との間の容量や、第1乃至第3

5

の共振素子の飛越し容量は、誘電体層と第1乃至第3の共振素子および第1乃至第4の電極によって形成され、共振素子と電極との間の距離やそれらの重なり面積、および電極間の距離やそれらの重なり面積を所定の値にすることは比較的容易であるから、これらの間に形成される容量の容量値を所定の値にすることも比較的容易であり、従って、減衰ピークの周波数のばらつきを容易に抑制できる。

【0019】

【実施例】以下、本発明の実施例を添付の図面を参照して説明する。

【0020】（第1の実施例）図1は本発明の第1の実施例の模式展開図であり、図2は本実施例の斜視図である。

【0021】共振素子21、23の一部に誘電体層12を挟んで重なる電極81を誘電体層11上に形成する。なお、誘電体層11の裏面にもアース電極70が後に形成される。

【0022】アース電極70に一端部がそれぞれ接続されて1/4波長型ストリップライン共振器を構成する共振素子21、23を誘電体層12上に形成し、さらに、一端部がアース電極70に接続され、かつ他端部が共振素子21、23の開放端から所定の間隔離れて共振素子21、23とそれぞれ対向する電極31、33を誘電体層12上に形成して、共振素子21、23が分布結合されることを利用してコムライン型のフィルタを構成する。共振素子21が入力側の共振素子であり、共振素子23が出力側の共振素子である。

【0023】入力側の共振素子21の一部に誘電体層13を挟んで重なり、共振素子21とほぼ直交し、さらに電極81の一部に誘電体層12および誘電体層13を挟んで重なる入力用電極41と、出力側の共振素子23の一部に誘電体層13を挟んで重なり、共振素子23とほぼ直交し、さらに電極81の一部に誘電体層12および誘電体層13を挟んで重なる出力用電極42とを、誘電体層13上に形成する。

【0024】誘電体層13上に、表面にアース電極70が形成される誘電体層14を積層して、誘電体層11～14を一体に構成して積層体500を形成する。

【0025】積層体500の上下面および入力端子部61、出力端子部62を除く側面に、図2に示すように、アース電極70を形成する。さらに、積層体500の一方の側面の入力端子部61内に、アース電極70と絶縁され、かつ入力用電極41と接続される入力端子51を形成し、さらに同様に、積層体500の他方の側面の出力端子部62内に、アース電極70と絶縁され、かつ出力用電極42と接続される出力端子52を形成する。

【0026】以上のように構成した本実施例において、図2のX-X線断面図は図3に示すようになる。

【0027】図1、図3を参照すれば、共振素子21と

6

入力用電極41との間に誘電体層13を挟んで重なり部分があつて、誘電体層13を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量401とする。また、共振素子21と電極81との間に誘電体層12を挟んで重なり部分があつて、誘電体層12を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量402とする。

【0028】さらに、入力用電極41と電極81との間に誘電体層12および誘電体層13を挟んで重なり部分があつて、誘電体層12および誘電体層13を含む重なり部分において、静電結合された状態となっている。この静電容量を静電容量403とする。

【0029】共振素子23と出力用電極42との間に誘電体層13を挟んで重なり部分があつて、誘電体層13を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量408とする。また、共振素子23と電極81との間に誘電体層12を挟んで重なり部分があつて、誘電体層12を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量407とする。

【0030】さらに、出力用電極42と電極81との間に誘電体層12および誘電体層13を挟んで重なり部分があつて、誘電体層12および誘電体層13を含む重なり部分において、静電結合された状態となっている。この静電容量を静電容量409とする。

【0031】共振素子21および23の解放端と電極31および33との間にはそれぞれ静電容量121、123が形成されている。そして、これらの静電容量121、123が存在することによって、共振素子21および23の長さが1/4波長以下に短縮される。

【0032】以上のようにして構成された本実施例の積層型誘電体フィルタの等価回路は、図4に示すようになり、バンドパス特性を示す。なお、静電容量211およびインダクタンス212はそれぞれ共振素子21を等価変換したときの静電容量およびインダクタンスであり、静電容量231およびインダクタンス232はそれぞれ共振素子23を等価変換したときの静電容量およびインダクタンスである。

【0033】本実施例においては、共振素子21の入力側には静電容量401が形成され、共振素子21の出力側には静電容量402が形成され、この共振素子21の両側の静電容量401、402を結合するように飛越し容量403が設けられている。また、共振素子23の入力側には静電容量407が形成され、共振素子23の出力側には静電容量408が形成され、この共振素子23の両側の静電容量407、408を結合するように飛越し容量409が設けられている。そして、これらの飛越し容量403、409が存在することによって、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0034】なお、この減衰ピークが生ずる周波数は静電容量401～403および静電容量407～409によって変動する。

【0035】しかしながら、静電容量401の容量値は、誘電体層13の厚さおよび共振素子21と入力用電極41との対向面積によって設定され、静電容量402の容量値は、誘電体層12の厚さおよび共振素子21と電極81との対向面積によって設定され、静電容量403の容量値は、誘電体層12、13の厚さおよび入力用電極41と電極81との対向面積によって設定される。また、静電容量408の容量値は、誘電体層13の厚さおよび共振素子23と出力用電極42との対向面積によって設定され、静電容量407の容量値は、誘電体層12の厚さおよび共振素子23と電極81との対向面積によって設定され、静電容量409の容量値は、誘電体層12、13の厚さおよび出力用電極42と電極81との対向面積によって設定される。そして、これらの誘電体層12、13の厚さ、並びに、共振素子21、23と入出力用電極41、42および電極81との対向面積や、入出力電極41、42と電極81との対向面積をばらつきなく設定することは比較的容易であるから、これらの間に形成される静電容量401～403、407～409の容量値をばらつきなく設定することも容易であり、従って、減衰ピークの周波数のばらつきを容易に抑制できる。

【0036】また、静電容量401は、共振素子21と入力用電極41との静電結合で得られ、静電容量402は、共振素子21と電極81との静電結合で得られ、静電容量403は、入力用電極41と電極81との静電結合で得られ、静電容量408は、共振素子23と出力用電極42との静電結合で得られ、静電容量407は、共振素子23と電極81との静電結合で得られ、静電容量409は、出力用電極42と電極81との静電結合で得られるから、これらの容量を形成するために別途部品を必要としない。従って、製作に余計な手数が掛かることもなく、部品点数が増加して小型化が困難となることもない。

【0037】次に、第1の実施例の積層型誘電体フィルタの製造方法について説明する。

【0038】本積層型誘電体フィルタは共振素子21および23、電極31および33、入力用電極41、出力用電極42並びに電極81を完全に誘電体中に内蔵することから、共振素子21および23、電極31および33、入力用電極41、出力用電極42並びに電極81には損失の少ない比抵抗の低いものを用いることが望ましく、低抵抗のAg系、若しくはCu系の導体を用いることが好ましい。

【0039】使用する誘電体としては、信頼性が高く誘電率 ϵ_r が大きいため小型化が可能となるセラミックス誘電体が好ましい。

【0040】また、製造方法としては、セラミックス粉末の成形体に導体ペーストを塗布して電極パターンを形成した後、各々の成形体を積層しさらに焼成して緻密化し、導体はその内部に積層された状態でセラミックス誘電体と一体化することが望ましい。

【0041】Ag系やCu系の導体を使用する場合には、それらの導体の融点が低く、通常の誘電体材料と同時焼成することは困難であるところから、それらの融点(1100℃以下)よりも低い温度で焼成され得る誘電体材料を用いる必要がある。また、マイクロ波フィルタとしてのデバイスの性格上、形成される並列共振回路の共振周波数の温度特性(温度係数)が $\pm 50 \text{ ppm}/^\circ\text{C}$ 以下になるような誘電体材料が好ましい。このような誘電体材料としては、例えば、コージュライト系ガラス粉末と TiO_2 粉末および $\text{Nd}_2\text{Ti}_2\text{O}_7$ 粉末との混合物等のガラス系のものや、 $\text{BaO}-\text{TiO}_2-\text{Re}_2\text{O}_3-\text{Bi}_2\text{O}_3$ 系組成(Re:レアアース成分)に若干のガラス形成成分やガラス粉末を添加したもの、酸化バリウム-酸化チタン-酸化ネオジム系誘電体磁気組成物粉末に若干のガラス粉末を添加したものがある。

【0042】一例として、 $\text{MgO}:18 \text{ wt}\%-\text{Al}_2\text{O}_3:37 \text{ wt}\%-\text{SiO}_2:37 \text{ wt}\%-\text{B}_2\text{O}_3:5 \text{ wt}\%-\text{TiO}_2:3 \text{ wt}\%$ なる組成のガラス粉末の73wt%と、市販の TiO_2 粉末の17wt%と、 $\text{Nd}_2\text{Ti}_2\text{O}_7$ 粉末の10wt%を充分に混合し、混合粉末を得た。なお、 $\text{Nd}_2\text{Ti}_2\text{O}_7$ 粉末は、 Nd_2O_3 粉末と TiO_2 粉末を1200℃で仮焼した後、粉碎して得たものを使用した。次いで、この混合粉末に、アクリル系有機バインダー、可塑剤、トルエンおよびアルコール系の溶剤を加え、アルミナ玉石で充分に混合してスラリーとした。そして、このスラリーを用いて、ドクターブレード法により、0.2mm～0.5mmの厚みのグリーンシートを作成した。

【0043】次に、上記第1の実施例の場合は、銀ペーストを導体ペーストとして図1に示した導体パターンをそれぞれ印刷し、次いで、これら導体パターンが印刷されたグリーンシートの厚みを調整するために必要なグリーンシートを重ねて図1の構造となるように重ね、積層した後、900℃で焼成して、積層体500を製造した。

【0044】上記のように構成した積層体500の上表面、入力端子部61、出力端子部62を除く側面および底面に図2に示すように銀電極からなるアース電極70を印刷し、さらにアース電極70から絶縁し、かつ入力用電極41、出力用電極42に各別に接続する銀電極を入力端子部61、出力端子部62内にそれぞれ入力端子51、出力端子52として印刷し、印刷した電極を850℃で焼きつけて、本実施例の積層型誘電体フィルタを製造した。

【0045】(第2の実施例)図5は本発明の第2の実

施例の積層型誘電体フィルタの断面図であり、図6は本実施例の等価回路図である。

【0046】出力用電極42を共振素子23にのみ対向させ、電極81には対向させていない点が第1の実施例と異なるが、他の構成は同一であり、製造方法も同様である。

【0047】本実施例においては、出力用電極42は電極81と対向して設けられていないから、共振素子23の両側の静電容量407、408を結合するような飛越し容量409は形成されないが、共振素子21の両側の静電容量401、402を結合する飛越し容量403は設けられているから、この飛越し容量403が存在することによって、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0048】なお、本実施例においては、入力用電極41を電極81と対向させ、出力用電極42を電極81と対向させない構成としたが、入力用電極41を電極81とは対向させず、出力用電極42を電極81と対向させる構成としてもよい。この場合には、共振素子21の両側の静電容量401、402を結合する飛越し容量403は形成されないが、共振素子23の両側の静電容量407、408を結合する飛越し容量409が形成されるから、やはり、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0049】（第3の実施例）図7は本発明の第3の実施例の模式展開図であり、図2は本実施例の斜視図である。

【0050】共振素子21、22の一部に誘電体層12を挟んで共に重なる電極82と、共振素子23の一部に誘電体層12を挟んで重なり、共振素子23とほぼ直交し、後記する電極83の一部に誘電体層12および誘電体層13を挟んで重なる出力用電極42と、を誘電体層11上に形成する。なお、誘電体層11の裏面にもアース電極70が後に形成される。

【0051】アース電極70に一端部がそれぞれ接続されて1/4波長型ストリップライン共振器を構成する共振素子21～23を誘電体層12上に形成し、さらに、一端部がアース電極70に接続され、かつ他端部が共振素子21～23の開放端から所定の間隔離れて共振素子21～23とそれぞれ対向する電極31～33を誘電体層12上に形成して、共振素子21～23の長さを、1/4波長以下に短縮する。共振素子21が入力側の共振素子であり、共振素子23が出力側の共振素子である。

【0052】入力側の共振素子21の一部に誘電体層13を挟んで重なり、共振素子21とほぼ直交し、さらに電極82の一部に誘電体層12および誘電体層13を挟んで重なる入力用電極41と、共振素子22、23の一部に誘電体層13を挟んで共に重なる電極83と、を誘電体層13上に形成する。

【0053】誘電体層13上に、表面にアース電極70

が形成される誘電体層14を積層して、誘電体層11～14を一体に構成して積層体500を形成する（図2参照）。

【0054】図2に示すように、積層体500の上下面および入力端子部61、出力端子部62を除く側面に、図2に示すように、アース電極70を形成する。さらに、積層体500の一方の側面の入力端子部61内に、アース電極70と絶縁され、かつ入力用電極41と接続される入力端子51を形成し、さらに同様に、積層体500の他方の側面の出力端子部62内に、アース電極70と絶縁され、かつ出力用電極42と接続される出力端子52を形成する。

【0055】以上のように構成した本実施例において、図2のX-X線断面図は図8に示すようになる。

【0056】図7、図8を参照すれば、共振素子21と入力用電極41との間に誘電体層13を挟んで重なり部分があつて、誘電体層13を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量401とする。また、共振素子21と電極81との間に誘電体層12を挟んで重なり部分があつて、誘電体層12を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量402とする。

【0057】さらに、入力用電極41と電極81との間に誘電体層12および誘電体層13を挟んで重なり部分があつて、誘電体層12および誘電体層13を含む重なり部分において、静電結合された状態となっている。この静電容量を静電容量403とする。

【0058】共振素子22と電極82との間に誘電体層12を挟んで重なり部分があつて、誘電体層12を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量404とする。また、共振素子22と電極83との間に誘電体層13を挟んで重なり部分があつて、誘電体層13を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量405とする。

【0059】さらに、共振素子22の両側において、電極82と電極83との間に誘電体層12および誘電体層13を挟んで重なり部分があつて、誘電体層12および誘電体層13を含む重なり部分において、それぞれ静電結合された状態となっている。この静電容量をそれぞれ静電容量416、静電容量426とする。

【0060】共振素子23と出力用電極42との間に誘電体層12を挟んで重なり部分があつて、誘電体層12を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量408とする。また、共振素子23と電極83との間に誘電体層13を挟んで重なり部分があつて、誘電体層13を含む重なり部分において静電結合された状態となっている。この静電容量を静電容量407とする。

【0061】さらに、出力用電極42と電極83との間

に誘電体層12および誘電体層13を挟んで重なり部分があつて、誘電体層12および誘電体層13を含む重なり部分において、静電結合された状態となっている。この静電容量を静電容量409とする。

【0062】共振素子21~23の解放端と電極31~33との間にはそれぞれ静電容量121~123が形成されている。そして、これらの静電容量121~123が存在することによって、共振素子21~23の長さが1/4波長以下に短縮される。

【0063】以上のようにして構成された本実施例の積層型誘電体フィルタの等価回路は、図9に示すようになり、バンドパス特性を示す。なお、共振素子22の両側において電極82と電極83との間に形成される静電容量416および静電容量426はこれらの合成容量406で表わしている。また、静電容量211およびインダクタンス212はそれぞれ共振素子21を等価変換したときの静電容量およびインダクタンスであり、静電容量221およびインダクタンス222はそれぞれ共振素子22を等価変換したときの静電容量およびインダクタンスであり、静電容量231およびインダクタンス232はそれぞれ共振素子23を等価変換したときの静電容量およびインダクタンスである。

【0064】本実施例においては、共振素子21の入力側には静電容量401が形成され、共振素子21の出力側には静電容量402が形成され、この共振素子21の両側の静電容量401、402を結合するように飛越し容量403が設けられている。また、共振素子22の入力側には静電容量404が形成され、共振素子22の出力側には静電容量405が形成され、この共振素子22の両側の静電容量404、405を結合するように飛越し容量406が設けられている。さらに、共振素子23の入力側には静電容量407が形成され、共振素子23の出力側には静電容量408が形成され、この共振素子23の両側の静電容量407、408を結合するように飛越し容量409が設けられている。そして、これらの飛越し容量403、406、409が存在することによって、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0065】次に本実施例の積層型誘電体フィルタの製造方法について説明する。本実施例においても、第1の実施例において使用したグリーンシートを用い、銀ペーストを導体ペーストとして図7に示した導体パターンをそれぞれ印刷し、次いで、これらの導体パターンが印刷されたグリーンシートの厚さを調整するために必要なグリーンシートを重ねて図7の構造となるように積層した後、900℃で焼成して、積層体500を形成した。

【0066】上記のように構成した積層体500の上面、入力端子部61、出力端子部62を除く側面および底面に図2に示すように銀電極からなるアース電極70を印刷し、さらにアース電極70から絶縁し、かつ入力

用電極41、出力用電極42に各別に接続する銀電極を入力端子部61、出力端子部62内にそれぞれ入力端子51、出力端子52として印刷し、印刷した電極を850℃で焼きつけて、本実施例の積層型誘電体フィルタを製造した。

【0067】(第4の実施例)図10は本発明の第4の実施例の積層型誘電体フィルタの模式展開図であり、図11は、本実施例の積層型誘電体フィルタの主要部の構成を示す平面図である。

【0068】本実施例の積層型誘電体フィルタは、入力用電極41、出力用電極42、電極82および電極83の形状が第3の実施例の積層型誘電体フィルタとは異なるが、他の構成は同一であり、製造方法も同様である。

【0069】本実施例においては、入力用電極41の共振素子21と重なる部分の一部を幅広部分411とし、電極82の共振素子21と重なる部分の一部を幅広部分821とし、幅広部分411と幅広部分821とが上下に重なるようにしている。また、電極82の共振素子22と重なる部分の一部を幅広部分822とし、電極83の共振素子22と重なる部分の一部を幅広部分832とし、幅広部分822と幅広部分832とが上下に重なるようにしている。さらに、電極83の共振素子23と重なる部分の一部を幅広部分831とし、出力用電極42の共振素子23と重なる部分の一部を幅広部分421とし、幅広部分831と幅広部分421とが上下に重なるようにしている。

【0070】このように、幅広部分411、821を設けることにより、共振素子21の両側の静電容量401、402の容量値を大きくし、幅広部分822、832を設けることにより、共振素子22の両側の静電容量404、405の容量値を大きくし、幅広部分831、421を設けることにより、共振素子23の両側の静電容量407、408の容量値を大きくすることができ

る。

【0071】また、図11に示すように、積層型誘電体フィルタを上から見た場合に、幅広部分411、821は共振素子21よりも小さく、しかも共振素子21の平面内に完全に収容されるように形成され、幅広部分832、822は共振素子22よりも小さく、しかも共振素子22の平面内に完全に収容されるように形成され、幅広部分831、421は共振素子23よりも小さく、しかも共振素子23の平面内に完全に収容されるように形成されているから、誘電体層11~13を積層する際に多少の積層位置ずれがあつても、静電容量401、402、404、405、407、408の容量値が変動することを防止できる。

【0072】さらに、入力用電極41の電極82と重なる部分の一部を電極82の幅よりも幅が広い幅広部分412とし、電極83の電極82と重なる部分の一部を電極82の幅よりも幅が広い幅広部分833とし、電極8

13

2の電極83と重なる部分の一部を電極83の幅よりも幅が広い幅広部分823とし、出力用電極42の電極83と重なる部分の一部を電極83の幅よりも幅が広い幅広部分422としているから、誘電体層11~13を積層する際に多少の積層位置ずれがあっても、これらの重なり部分によって形成される静電容量403、406、409の容量値の変動を防止できる。

【0073】(第5の実施例)図12は本発明の第5の実施例の積層型誘電体フィルタの断面図であり、図13は本実施例の等価回路図である。

【0074】出力用電極42を共振素子23にのみ対向させ、電極83には対向させていない点が第4の実施例と異なるが、他の構成は同一であり、製造方法も同様である。

【0075】本実施例においては、出力用電極42は電極83と対向して設けられていないから、共振素子23の両側の静電容量407、408を結合するような飛越し容量409は形成されないが、共振素子21の両側の静電容量401、402を結合する飛越し容量403、および共振素子22の両側の静電容量404、405を結合する飛越し容量406は設けられているから、この飛越し容量403、406が存在することによって、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0076】なお、本実施例においては、入力用電極41を電極82と対向させ、出力用電極42を電極83と対向させない構成としたが、入力用電極41を電極82とは対向させず、出力用電極42を電極83と対向させる構成としてもよい。この場合には、共振素子21の両側の静電容量401、402を結合する飛越し容量403は形成されないが、共振素子22の両側の静電容量404、405を結合する飛越し容量406、および共振素子23の両側の静電容量407、408を結合する飛越し容量409が形成されるから、やはり、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0077】(第6の実施例)図14は本発明の第6の実施例の積層型誘電体フィルタの断面図であり、図15は本実施例の等価回路図である。

【0078】共振素子22の一部および共振素子23の一部に共に対向する電極83を設けず、出力用電極42を共振素子23にのみ対向させている点が第4の実施例と異なるが、他の構成は同一であり、製造方法も同様である。

【0079】本実施例においては、共振素子22の一部および共振素子23の一部に共に対向する電極83を設けず、出力用電極42を共振素子23にのみ対向させているから、共振素子22の出力側の静電容量405、共振素子23の入力側の静電容量407、共振素子22の両側の静電容量404、405を結合するような飛越し

14

容量406、共振素子23の両側の静電容量407、408を結合するような飛越し容量409は形成されず、共振素子22と共振素子23とはインダクタンス313で表現されている容量結合によって結合されているが、共振素子21の両側の静電容量401、402を結合する飛越し容量403、および共振素子22の両側には静電容量404、405が形成され、これらの静電容量401、402を結合する飛越し容量403は設けられているから、この飛越し容量403が存在することによって、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0080】なお、本実施例においては、共振素子21、22に共に対向する電極82を設け、入力用電極41を電極82と対向させたが、共振素子22、23に共に対向する電極83を設け、出力用電極42を電極83と対向させる構成としてもよい。この場合には、共振素子23の両側に静電容量407、408が形成され、これらの静電容量407、408を結合する飛越し容量409が形成されるから、やはり、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0081】(第7の実施例)図16は本発明の第7の実施例の積層型誘電体フィルタの断面図であり、図17は本実施例の等価回路図である。

【0082】入力用電極41を共振素子21にのみ対向させ、電極82には対向させず、出力用電極42を共振素子23にのみ対向させ、電極83には対向させていない点が第4の実施例と異なるが、他の構成は同一であり、製造方法も同様である。

【0083】本実施例においては、入力用電極41は電極82と対向して設けられていないから、共振素子21の両側の静電容量401、402を結合するような飛越し容量403は形成されず、出力用電極42は電極83と対向して設けられていないから、共振素子23の両側の静電容量407、408を結合するような飛越し容量409は形成されないが、共振素子22の両側の静電容量404、405を結合する飛越し容量406は設けられているから、この飛越し容量406が存在することによって、バンドパスフィルタの通過帯域の低域側に減衰ピークを生じさせる。

【0084】

【発明の効果】第1の共振素子の第1の主面の一部および第2の共振素子の第1の主面の一部に共に対向する第1の電極を設け、第1の共振素子の第1の主面とは反対側の第2の主面の一部および第1の電極の一部に対向する第2の電極を設けることにより、第1の共振素子と第1の電極との間、第1の共振素子と第2の電極との間、第2の共振素子と第1の電極との間にそれぞれ容量が形成されるのみならず、第1の電極と第2の電極との間にも容量が形成される。そして、この第1の電極と第2の電極との間に形成される容量は、第1の共振素子を飛び

15

越して、第1の共振素子の前段と後段とを結合する飛越し容量となるから、積層型誘電体フィルタによって構成されるバンドパスフィルタの通過帯域の低周波側に減衰ピークを生じさせる。

【0085】また、第2の共振素子の第2の主面の一部および第1の電極の一部に共に対向する第3の電極をさらに設けることにより、第2の電極と第3の電極との間に容量が形成され、この容量は、第2の共振素子を飛び越して、第2の共振素子の前段と後段とを結合する飛越し容量となるから、やはり、積層型誘電体フィルタによって構成されるバンドパスフィルタの通過帯域の低周波側に減衰ピークを生じさせる。さらに、また、第2の共振素子に対して第1の共振素子とは反対側に第3の共振素子をさらに設け、第3の共振素子の第1の主面の一部および第3の電極の一部に共に対向する第4の電極をさらに設けることにより、第3の電極と第4の電極との間に容量が形成され、この容量は、第3の共振素子を飛び越して、第3の共振素子の前段と後段とを結合する飛越し容量となるから、やはり、積層型誘電体フィルタによって構成されるバンドパスフィルタの通過帯域の低周波側に減衰ピークを生じさせる。

【0086】また、第1乃至第3の共振素子と第1乃至第4の電極との間の容量や、第1乃至第3の共振素子の飛越し容量は、誘電体層と第1乃至第3の共振素子および第1乃至第4の電極によって形成されるから、これらの容量を形成するために別途部品を必要としない。従って、製作に余計な手数がかかることもなく、部品点数が増加して小型化が困難となることもない。

【0087】また、このように、第1乃至第3の共振素子と第1乃至第4の電極との間の容量や、第1乃至第3の共振素子の飛越し容量は、誘電体層と第1乃至第3の共振素子および第1乃至第4の電極によって形成され、共振素子と電極との間の距離やそれらの重なり面積、および電極間の距離やそれらの重なり面積を所定の値にすることは比較的容易であるから、これらの間に形成される容量の容量値を所定の値にすることも比較的容易であり、従って、減衰ピークの周波数のばらつきを容易に抑制できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の積層型誘電体フィルタの模式展開図である。

【図2】本発明の第1の実施例の積層型誘電体フィルタの斜視図である。

【図3】図2のX-X線断面図である。

16

【図4】本発明の第1の実施例の積層型誘電体フィルタの等価回路図である。

【図5】本発明の第2の実施例の積層型誘電体フィルタの断面図である。

【図6】本発明の第2の実施例の積層型誘電体フィルタの等価回路図である。

【図7】本発明の第3の積層型誘電体フィルタの模式展開図である。

【図8】本発明の第3の実施例の積層型誘電体フィルタの断面図である。

【図9】本発明の第3の実施例の積層型誘電体フィルタの等価回路図である。

【図10】本発明の第4の実施例の積層型誘電体フィルタの模式展開図である。

【図11】本発明の第4の実施例の積層型誘電体フィルタの主要部の構成を示す平面図である。

【図12】本発明の第5の実施例の積層型誘電体フィルタの断面図である。

【図13】本発明の第5の実施例の積層型誘電体フィルタの等価回路図である。

【図14】本発明の第6の実施例の積層型誘電体フィルタの断面図である。

【図15】本発明の第6の実施例の積層型誘電体フィルタの等価回路図である。

【図16】本発明の第7の実施例の積層型誘電体フィルタの断面図である。

【図17】本発明の第7の実施例の積層型誘電体フィルタの等価回路図である。

【図18】本発明者達が案出した従来の積層型誘電体フィルタの模式展開図である。

【図19】本発明者達が案出した従来の積層型誘電体フィルタの斜視図である。

【図20】本発明者達が案出した従来の積層型誘電体フィルタの等価回路図である。

【符号の説明】

11～14…誘電体層

21～23…共振素子

31～33…電極

41…入力用電極

42…出力用電極

51…入力端子

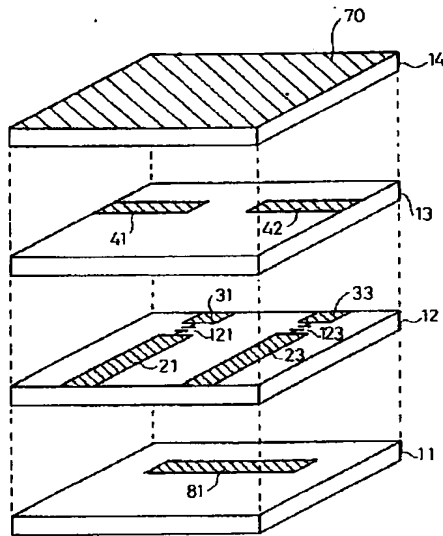
52…出力端子

70…アース電極

81～83…電極

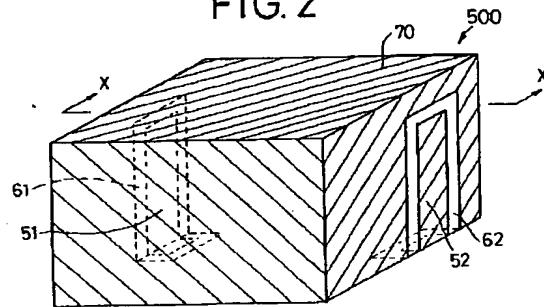
【図1】

FIG.1



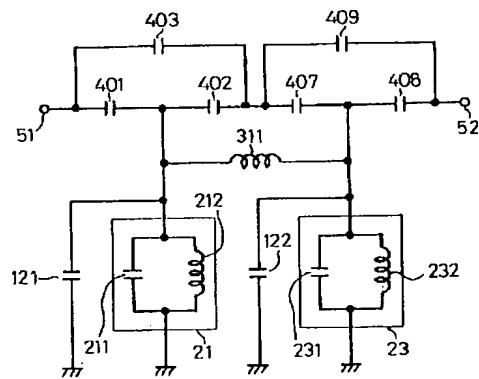
【図2】

FIG. 2



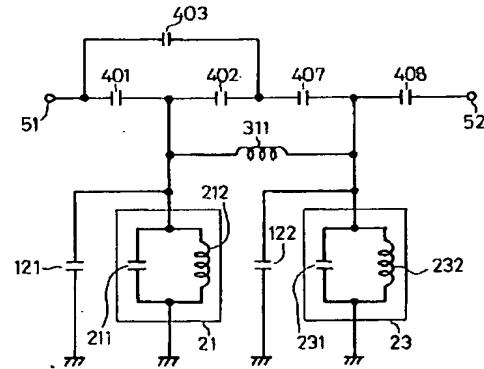
【図4】

FIG.4



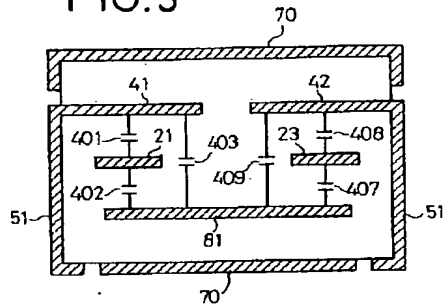
【図6】

FIG.6



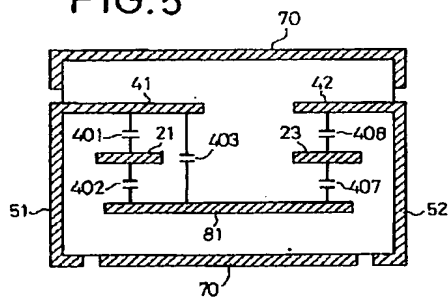
【図3】

FIG.3



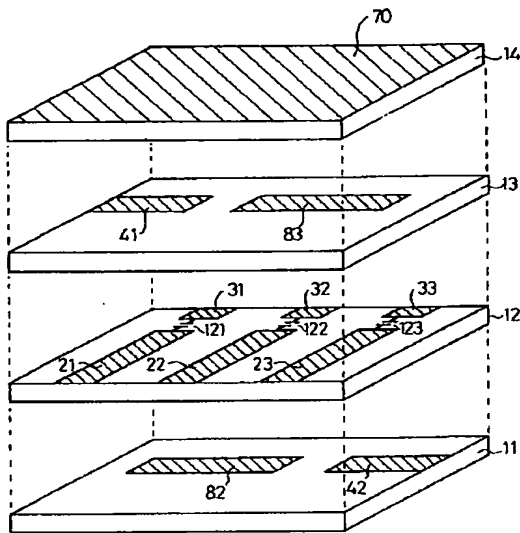
【図5】

FIG.5



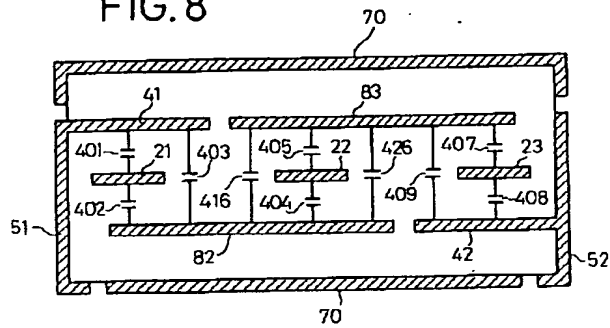
【図7】

FIG.7



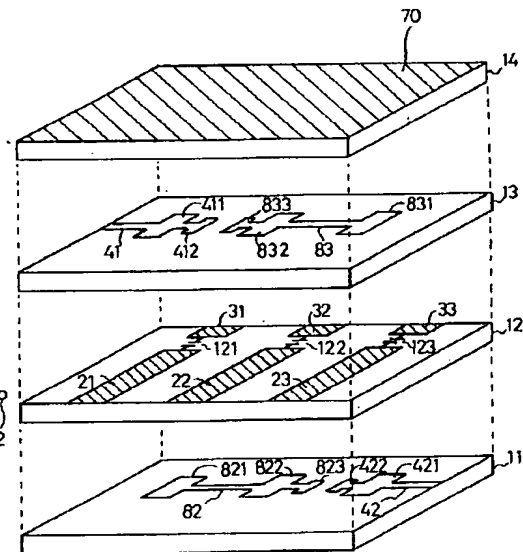
【図8】

FIG.8



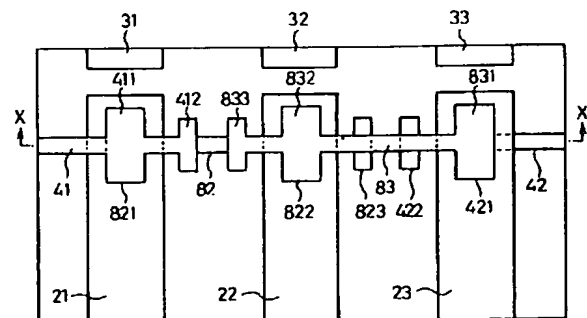
【図10】

FIG.10



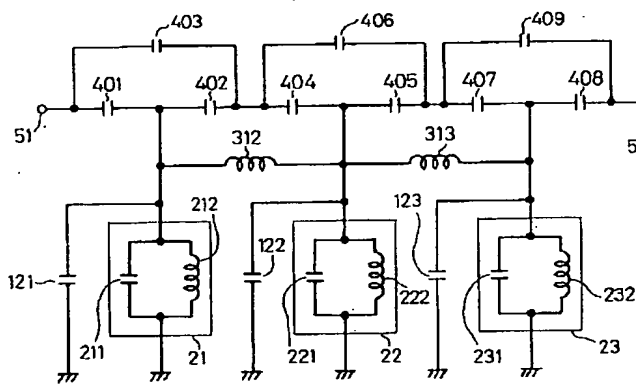
【図11】

FIG.11

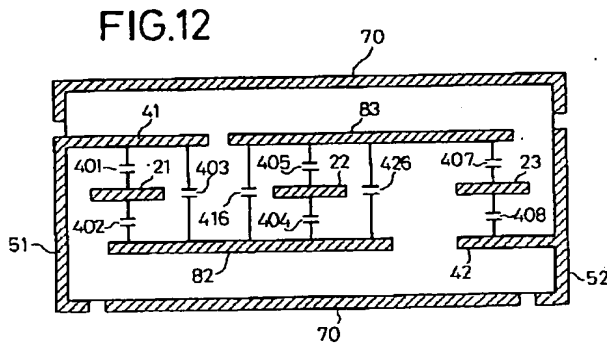


【図9】

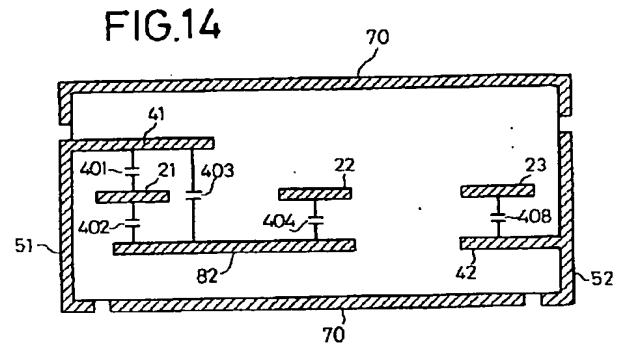
FIG.9



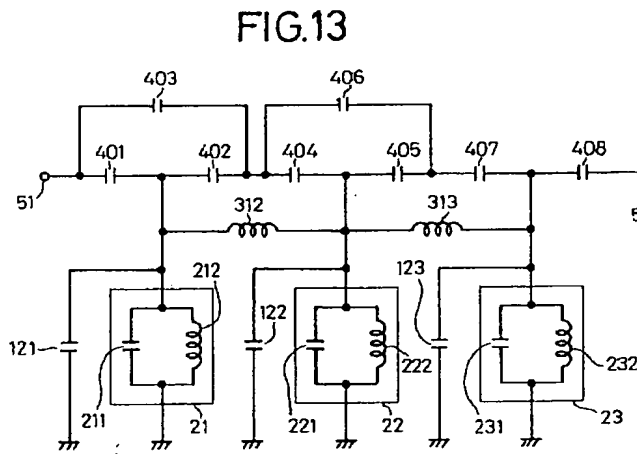
【図12】



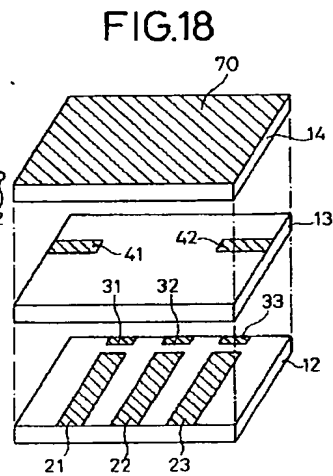
【図14】



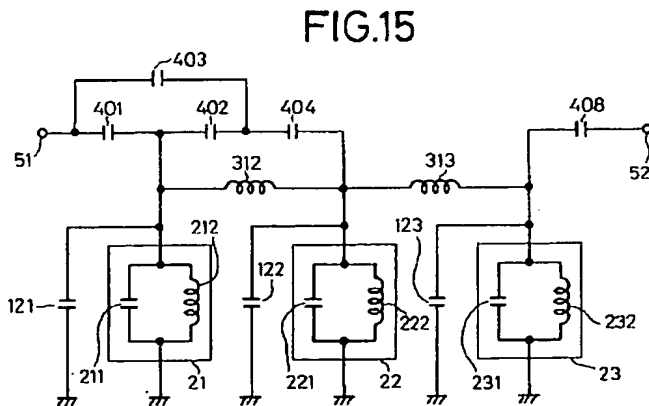
【図13】



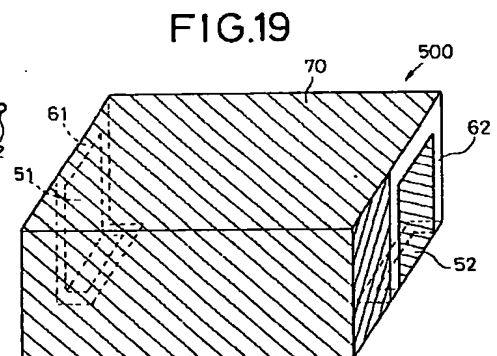
【図18】



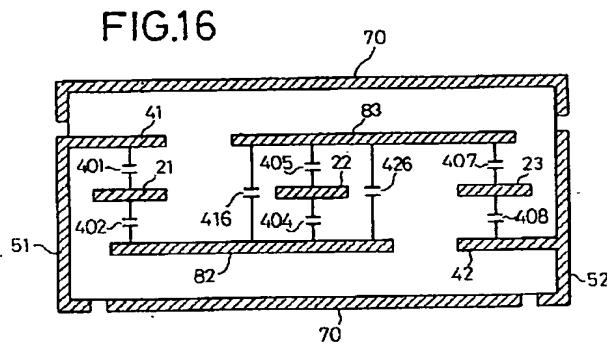
【図15】



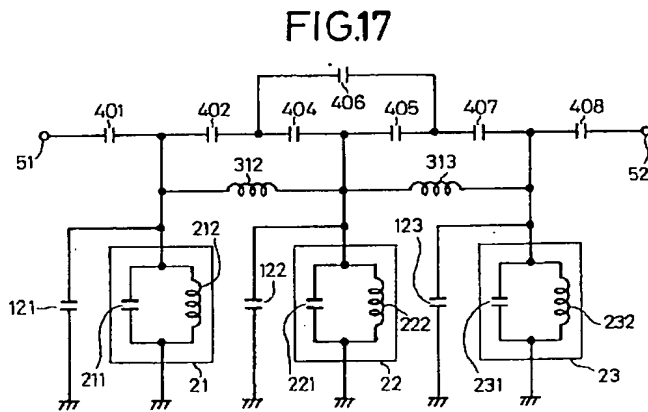
【図19】



【図16】



【図17】



【図20】

